

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-136112

(43)Date of publication of application : 10.06.1991

(51)Int.Cl.

G05F 1/56

G05F 1/56

(21)Application number : 01-276761

(71)Applicant : SHARP CORP

(22)Date of filing : 23.10.1989

(72)Inventor : KUMADA KIYOSHI

NAGAO HISAO

IZUMI HIRONOBU

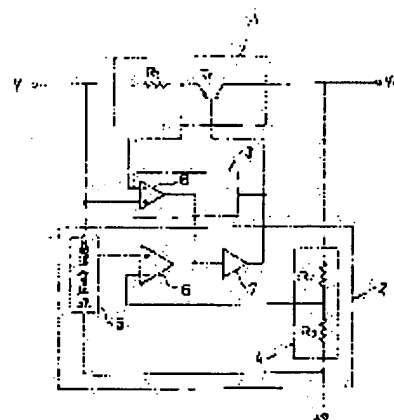
SUZUKI KENJI

(54) REGULATED POWER SUPPLY CIRCUIT

(57)Abstract:

PURPOSE: To improve the accuracy for protecting an overcurrent by detecting a fact that an excessive current flows between an emitter and a collector of a PNP type transistor, and limiting a base current by a control means.

CONSTITUTION: The circuit is constituted of a control circuit 2 being a control means for controlling a base current of a PNP type transistor Tr1 and a protecting circuit 3 provided with various protecting function. The protecting circuit 3 is provided with an overcurrent protecting circuit 8, this overcurrent protecting circuit 8 detects a potential difference across a resistance R1, and when this potential difference reaches an overcurrent detection voltage, the base current of the transistor Tr1 is limited by limiting a current flowing to a buffer amplifier 7. Accordingly, even if there is a variance in a DC current amplification factor of the transistor, an output current is limited without being influenced thereby. In such a way, the overcurrent protection is executed with high accuracy.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A) 平3-136112

⑮ Int. Cl.³

G 05 F 1/56

識別記号

3 2 0 C
3 1 0 C

庁内整理番号

8527-5H
8527-5H

⑬ 公開 平成3年(1991)6月10日

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 安定化電源回路

⑯ 特 願 平1-276761

⑰ 出 願 平1(1989)10月23日

⑱ 発 明 者 熊 田 清 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑱ 発 明 者 長 尾 久 夫 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑱ 発 明 者 出 水 啓 修 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑱ 発 明 者 鈴 木 賢 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
⑳ 代 理 人 弁理士 原 謙 三

明 細 書

1. 発明の名称

安定化電源回路

2. 特許請求の範囲

1. 入力電圧を制御する直列制御素子としての PNP 型トランジスタと、負帰還させた出力電圧を一定の基準電圧と等しくなるように PNP 型トランジスタのベース電流を制御する制御手段とを備えた安定化電源回路において、

PNP 型トランジスタには、エミッターコレクタ間に流れる電流を検出する電流検出抵抗がエミッタに直列に接続されており、この電流検出抵抗は、上記過電流検出電圧が PNP 型トランジスタのエミッターコレクタ間飽和電圧より十分低い電圧となるような抵抗値に設定され、かつ異なる抵抗値を選択しうるようになされる一方、電流検出抵抗の両端の電位差が、電流検出抵抗に過大な電流が流れていることを検出する過電流検出電圧に

達すると、制御手段により制御される PNP 型トランジスタのベース電流を制限する電流制限手段を備えていることを特徴とする電源回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電圧の制御素子として PNP 型トランジスタを用いた直列制御型の安定化電源回路に関するものである。

(従来の技術)

従来の直列制御型の安定化電源回路は、例えば、第4図に示すように、直列制御素子として NPN 型のトランジスタ T_{r1} が用いられている。トランジスタ T_{r1} は、コレクタが入力端子 V_i に接続され、エミッタがトランジスタ T_{r2} のベースに接続されるとともに、抵抗 R_{s1} を介して出力端子 V_o に接続されており、さらにベースが差動アンプ 31 の出力端子とトランジスタ T_{r2} のコレクタとに接続されている。トランジスタ T_{r2} は、エミッタが抵抗 R_{s2} と出力端子 V_o との間に

接続され、コレクタがトランジスタ T_{r31} のコレクタとの間に電流源 32 が設けられている。上記抵抗 R_{31} およびトランジスタ T_{r31} により安定化電源回路における過電流保護回路 33 が構成されている。

抵抗 $R_{31} \cdot R_{32}$ が直列接続されてなる分圧回路 34 は、抵抗 R_{32} の一端が出力端子 V₁ に接続され、抵抗 R_{31} の一端が接地されており、出力端子 V₁ に現れる出力電圧を抵抗 $R_{31} \cdot R_{32}$ による分圧比で分圧し、差動アンプ 31 に帰還させるようになっている。また、差動アンプ 31 は、反転入力端子が抵抗 R_{32} と抵抗 R_{33} との接続点に接続されるとともに、非反転入力端子が基準電圧源 35 に接続されている。

上記の安定化電源回路において、トランジスタ T_{r31} は、電流源 32 によりベース電流が供給されるとオンしてコレクタ-エミッタ間に電流を流す。トランジスタ T_{r31} のエミッタから抵抗 R_{31} を介して出力端子 V₁ に現れる出力電圧は、分圧回路 34 により分圧され帰還電圧として差動アンプ

31 に入力される。差動アンプ 31 は、上記帰還電圧が基準電圧源 35 により与えられた一定の基準電圧と等しくなるようにトランジスタ T_{r31} のベース電流を制御する。従って、出力電圧は、基準電圧源 35 の基準電圧に応じた一定電圧に保持される。

また、過負荷や出力短絡などで出力電流が増大すると、抵抗 R_{31} の両端に発生する電圧がそれに伴って上昇する。そして、この電圧が約 0.7 V になると、トランジスタ T_{r31} がオンして電流源 32 からトランジスタ T_{r31} のベースに供給される電流の一部がトランジスタ T_{r31} のコレクタ-エミッタ間を流れる。これによって、トランジスタ T_{r31} のベースに流れ込む電流が減少し、トランジスタ T_{r31} のコレクタ-エミッタ間を流れる電流が制限される。トランジスタ T_{r31} および図示しない負荷は、このようにして出力電流が制限されることにより、過電流から保護されるようになっている。

ところで、上記の安定化電源回路は、トランジ

3

スタ T_{r31} により電圧を一定に保持することができものの、そのために入出力間に 3 V 以上の電圧差を確保する必要があり、この電圧差によって生じる損失により効率が低下するという欠点を有している。そこで、近年では、第 5 図に示すように、直列制御素子として PNP 型のトランジスタ T_{r33} を用いて、入出力間の電圧差が 1 V 以下という小さい電圧差で電圧制御を行うことができる安定化電源回路が考案され、普及し始めている。ところが、この安定化電源回路では、過電流検出のために過電流保護回路 33 の抵抗 R_{31} をトランジスタ T_{r33} のエミッタに直列に接続すると、この抵抗による電圧降下により入出力間の電圧差が増大し、上記のような利点が損なわれてしまう。このため、以下に説明する安定化電源回路は、過電流保護回路 33 の配置が考慮されており、上記のような問題を解消している。なお、説明の便宜上、第 4 図に示した安定化電源回路と同様の機能を有する部材には同一の符号を付記する。

第 5 図に示すように、直列制御素子としてのト

5

4

ランジスタ T_{r33} は、エミッタが出力端子 V₁ に接続され、ベースがトランジスタ $T_{r31} \cdot T_{r33}$ のコレクタに接続されており、さらにコレクタが出力端子 V₁ に接続されるとともに、抵抗 $R_{32} \cdot R_{33}$ からなる分圧回路 34 を介して接地されている。差動アンプ 31 は、反転入力端子が抵抗 R_{32} と抵抗 R_{33} との接続点に接続されるとともに、非反転入力端子が基準電圧源 35 に接続され、出力端子がトランジスタ T_{r31} のベースおよび過電流保護回路 33 におけるトランジスタ T_{r31} のコレクタに接続されている。基準電圧源 35 は、入力端子 V₁ に接続されるとともに接地されており、入力電圧から一定の基準電圧を得ようになっている。トランジスタ T_{r31} は、エミッタがトランジスタ T_{r33} のベースに接続され、トランジスタ T_{r33} とでダーリントン回路を形成している。トランジスタ T_{r33} は、エミッタが過電流保護回路 33 の抵抗 R_{31} を介して接地されるとともに、トランジスタ T_{r31} のベースに接続されており、トランジスタ T_{r31} は、エミッタが接地されている。

6

上記の安定化電源回路では、出力電流が増大すると、トランジスタ T_{r3} のベース電流がトランジスタ T_{r3} ・ T_{r3} を介して抵抗 R_{31} に流れる。そして、この抵抗 R_{31} の両端に発生する電圧が約0.7Vになると、前記の安定化電源回路と同様トランジスタ T_{r3} がオンし、トランジスタ T_{r3} のベース電流を減少させる。これによって、トランジスタ T_{r3} のベース電流が減少し、トランジスタ T_{r3} のコレクタ-エミッタ間を流れる電流が制限される。

(発明が解決しようとする課題)

ところが、上記の安定化電源回路では、トランジスタ T_{r3} のベース電流がいかに精度良く制御されても、トランジスタ T_{r3} の直流電流増幅率のばらつきにより、過電流保護回路33によって決定される出力電流の制限レベルが大きくばらついてしまい、このために過電流保護の精度が低下するという問題点を有していた。

(課題を解決するための手段)

本発明に係る安定化電源回路は、上記の課題を

解決するために、入力電圧を制御する直列制御素子としてのPNP型トランジスタと、負帰還させた出力電圧を一定の基準電圧と等しくなるようにPNP型トランジスタのベース電流を制御する制御手段とを備えた安定化電源回路において、PNP型トランジスタには、エミッタ-コレクタ間に流れる電流を検出する電流検出抵抗がエミッタに直列に接続されており、この電流検出抵抗は、上記過電流検出電圧がPNP型トランジスタのエミッタ-コレクタ間飽和電圧より十分低い電圧となるような抵抗値に設定され、かつ異なる抵抗値を選択しうるようになされる一方、電流検出抵抗の両端の電位差が、電流検出抵抗に過大な電流が流れていることを検出する過電流検出電圧に達すると、制御手段により制御されるPNP型トランジスタのベース電流を制限する電流制限手段を備えていることを特徴としている。

(作用)

上記の構成において、通常の電圧制御を行う場合、入力電圧は、制御手段によりベース電流が制

7

御されたPNP型トランジスタにより制御され、基準電圧に応じた一定電圧となって出力される。一方、PNP型トランジスタのエミッタ-コレクタ間に流れる電流が増大すると、電流検出抵抗の両端の電位差が大きくなるが、この電位差が過電流検出電圧に達すると、制御手段により制御されるPNP型トランジスタのベース電流が電流制限手段により制限されてほぼ一定に保たれ、PNP型トランジスタや負荷が過電流から保護される。

上記の一連の動作においては、電流検出抵抗がPNP型トランジスタのエミッタに直列に接続されているので、PNP型トランジスタの入力側で電流検出が行われることになる。それゆえ、PNP型トランジスタの直流電流増幅率にばらつきがあっても、その影響を受けることなく電流制限手段による出力電流の制限を行うことができ、過電流保護を高精度に行うことができる。また、電流検出抵抗の抵抗値は、電流制限手段を動作させる過電流検出電圧がPNP型トランジスタの飽和電圧より十分低い電圧となるように設定されている

8

ので、過電流検出抵抗による電圧降下で入出力間の電圧差が増大することがない。それゆえ、小さい入出力間の電圧差で電圧制御が可能であるというPNP型トランジスタを用いた安定化電源回路の利点を損なうことがない。さらに、電流検出抵抗は、異なる抵抗値を選択しうるようになされているので、過電流検出電圧の設定を異ならせることが可能となり、過電流として検出される出力電流のレベルを変更または微調整することができる。

(実施例)

本発明の一実施例を第1図ないし第3図に基づいて説明すれば、以下の通りである。

本実施例に係る安定化電源回路は、第1図に示すように、PNP型トランジスタとしてのトランジスタ T_r を備えた直流制御素子1、トランジスタ T_r のベース電流を制御する制御手段としての制御回路2および各種の保護機能を備えた保護回路3により構成されている。直列制御素子1のトランジスタ T_r は、ベースが制御回路2におけるバッファアンプ7の出力端子および保護回

9

10

路3の出力端子に接続されるとともに、コレクタが安定化電源回路における出力端子V₁に接続されている。

直列制御素子1には、トランジスタTr₁の他に電流検出抵抗としての抵抗R₁が設けられており、この抵抗R₁は、一端が安定化電源回路における入力端子V₁に接続されるとともに、他端がトランジスタTr₁のエミッタに接続されている。抵抗R₁は、過大な電流が流れるときに両端に生じる電位差、すなわち過電流検出電圧がトランジスタTr₁のコレクタ-エミッタ間飽和電圧より十分低い電圧となるような抵抗値に設定されている。例えば、上記のコレクタ-エミッタ間飽和電圧が0.5Vの場合、抵抗R₁の両端に生じる電位差が0.1V以下となるように抵抗値が設定され、抵抗R₁に過電流が1A流れる場合であると、抵抗値は0.1Ω以下となる。そして、抵抗R₁は、後述するように、異なる抵抗値を選択しうようになされている。

制御回路2は、差動アンプ6に出力電圧を帰還

させる分圧回路4、差動アンプ6に一定の基準電圧を与える基準電圧源5、分圧回路4によって得られた帰還電圧が基準電圧と等しくなるようにトランジスタTr₁のベース電流を制御する差動アンプ6、および差動アンプ6の制御を安定させるバッファアンプ7により構成されている。この制御回路2において、分圧回路4は、抵抗R₂・R₃が直列に接続されてなっており、抵抗R₂の一端がトランジスタTr₁のコレクタに接続され、抵抗R₃の一端が接地されている。差動アンプ6は、反転入力端子が抵抗R₂と抵抗R₃との接続点に接続され、非反転入力端子が基準電圧源5の出力端子に接続されるとともに、出力端子がバッファアンプ7の入力端子に接続されている。そして、基準電圧源5は、入力端子V₁に接続されるとともに接地されており、入力電圧から一定の基準電圧を得ようになっている。

保護回路3は、差動アンプからなる過電流保護回路8を備える他、過電圧保護、過熱保護など必要に応じて各種の保護機能を備えている。過電流

11

保護回路8は、反転入力端子が直列制御素子1におけるトランジスタTr₁のエミッタと抵抗R₁との接続点に接続され、非反転入力端子が入力端子V₁に接続されるとともに、出力端子がバッファアンプ7の入力端子に接続されている。この過電流保護回路8は、抵抗R₁の両端の電位差を検出し、この電位差が過電流検出電圧に達すると、バッファアンプ7に流れる電流を制限することにより、トランジスタTr₁のベース電流を制限するようになっている。

ここで、直列制御素子1の構造について説明する。

第2図に示すように、コレクタとなるP型の基板9上にベースとなるN型のエピタキシャル層10が形成され、さらにエミッタとなる拡散層11が形成されて、直列制御素子1におけるトランジスタTr₁が構成されている。また、エピタキシャル層10の上部には、拡散層11に接触するようにN⁺領域からなる抵抗層12が形成されて、直列制御素子1における抵抗R₁が構成されてい

12

る。さらに、基板9上とエピタキシャル層10との間には、抵抗層12によって別のトランジスタが形成されないように、N⁺領域からなる埋込層13が設けられている。そして、拡散層11、抵抗層12および外部間の接続のためにメタル配線層14…14が設けられる一方、メタル配線層14…14間の絶縁のためにSiO₂からなる絶縁層15…15が設けられており、これらメタル配線層14…14および絶縁層15…15上には、保護層16が形成されている。

続いて、直列制御素子1における抵抗R₁の構成について説明する。

第3図(a)に示すように、抵抗R₁は、抵抗値の異なる複数の抵抗R₁₁～R_{1n}が並列に接続されて構成されている。実際には、第3図(b)に示すように、抵抗R₁₁～R_{1n}がそれぞれに対応する抵抗パターン17～21として形成されており、抵抗R₁は、これら抵抗パターン17～21がコンタクト窓22…によりメタル配線パターン23に接続されてなっている。抵抗パターン17～

13

14

21は、前記抵抗層12からなっており、メタル配線パターン23は、前記メタル配線層14…14からなっている。また、抵抗 R_1 は、メタル配線パターン23に抵抗パターン17～21に接続されるように分岐する部分に切断部23a～23eが設けられており、この切断部23a～23eのいずれかをレーザ等によりトリミングすることにより、抵抗 R_1 ～ R_5 の接続の組み合わせを変えて抵抗値を選択しうようになされている。

上記の構成において、入力端子 V_i から入力された入力電圧がトランジスタ T_r を経て出力端子 V_o に出力電圧として現れており、この出力電圧は、分圧回路4により分圧され帰還電圧として差動アンプ6に入力されている。このとき、入力電圧が変動すると上記帰還電圧も変動するが、差動アンプ6が帰還電圧を基準電圧源5の基準電圧と等しくするようにトランジスタ T_r のベース電流を制御するので、トランジスタ T_r が入力電圧の変動を打ち消すように入力電圧を制御する。これによって出力電圧が一定に保持されること

15

間飽和電圧程度に抑えることができる。さらに、抵抗 R_1 の抵抗値がトリミングにより選択可能であることから、異なる過電流検出電圧を設定することができ、過電流検出として検出される出力電流のレベルを変更または微調整することができる。

(発明の効果)

本発明に係る安定化電源回路は、以上のように、入力電圧を制御する直列制御素子としてのPNP型トランジスタと、負帰還させた出力電圧を一定の基準電圧と等しくなるようにPNP型トランジスタのベース電流を制御する制御手段とを備えた安定化電源回路において、PNP型トランジスタには、エミッターコレクタ間に流れる電流を検出する電流検出抵抗がエミッタに直列に接続されており、この電流検出抵抗は、上記過電流検出電圧がPNP型トランジスタのエミッターコレクタ間飽和電圧より十分低い電圧となるような抵抗値に設定され、かつ異なる抵抗値を選択しうようになされる一方、電流検出抵抗の両端の電位差が、電流検出抵抗に過大な電流が流れていることを

17

になる。

一方、過負荷や出力短絡などで出力電流が増大した場合は、抵抗 R_1 の両端の電位差が大きくなる。そして、この電位差が過電流検出電圧に達すると、過電流保護回路8が動作してトランジスタ T_r のベース電流が制限される。これによって出力電流が制限されて一定に保持され、トランジスタ T_r や図示しない負荷が過電流から保護される。

上記の動作においては、抵抗 R_1 がトランジスタ T_r のエミッタに直列に接続されていることにより、トランジスタ T_r の直流電流増幅率にばらつきがあっても、その影響を受けることなく過電流保護回路8による出力電流の制限を行うことができる。また、抵抗 R_1 は、両端に現れる過電流検出電圧がトランジスタ T_r のコレクタエミッタ間飽和電圧より十分低い電圧となるような抵抗値に設定されているので、抵抗 R_1 による電圧降下をわずかなものとし、入出力間の電圧差をほぼトランジスタ T_r のエミッターコレクタ

16

検出する過電流検出電圧に達すると、制御手段により制御されるPNP型トランジスタのベース電流を制限する電流制限手段を備えている構成である。

これにより、PNP型トランジスタの入力側で電流の検出が行われるので、PNP型トランジスタの直流電流増幅率にばらつきがあっても、その影響を受けることなく出力電流の制限を行うことができ、過電流保護を高精度に行うことができる。また、電流検出抵抗による電圧降下で入出力間の電圧差が増大することがほとんどなく、小さい入出力間の電圧差で電圧制御が可能であるというPNP型トランジスタを用いた安定化電源回路の利点を損なうことがない。さらに、電流検出抵抗の抵抗値を選択することにより、過電流検出として検出される出力電流のレベルを変更または微調整することができる。従って、上記のような作用により、安定化電源回路に、より高度な過電流保護機能を提供することができるという効果を奏する。

18

4. 図面の簡単な説明

第1図ないし第3図は本発明の一実施例を示すものである。

第1図は安定化電源回路の構成を示す回路図である。

第2図は直流制御素子の構造を示す部分断面図である。

第3図(a)は直流制御素子における抵抗の構成を示す回路図である。

第3図(b)は上記抵抗の具体構成例を示す平面図である。

第4図および第5図は従来例を示すものである。

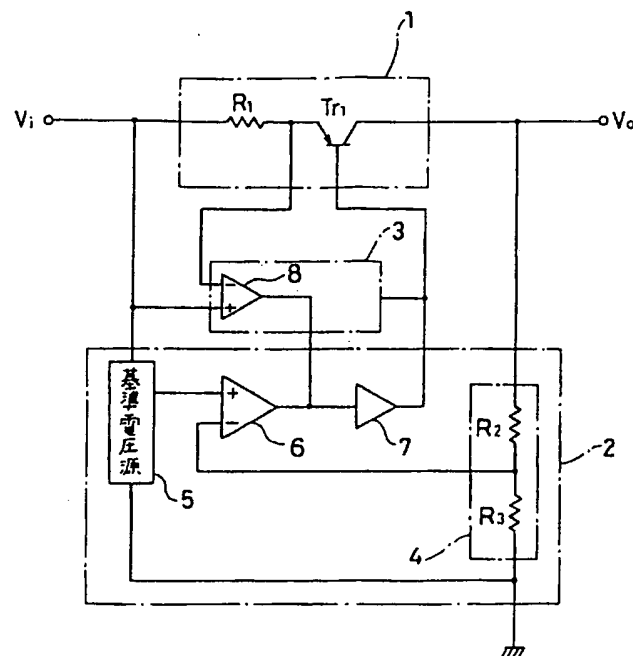
第4図は安定化電源回路の構成を示す回路図である。

第5図は他の安定化電源回路の構成を示す回路図である。

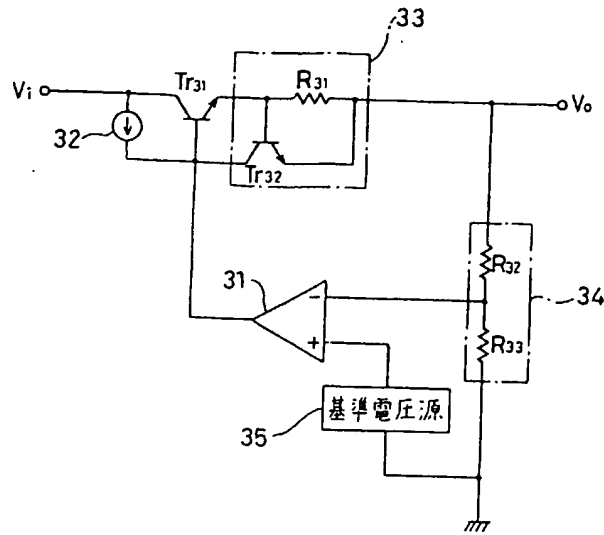
2は制御回路(制御手段)、8は過電流保護回路(電流制限手段)、 R_1 は抵抗(電流検出抵抗)、 T_1 はトランジスタ(PNP型トランジスタ)である。

19

第 1 図



第 4 図



第 5 図

